

robotron

---

## TECHNISCHES HANDBUCH

Zentrale Verarbeitungseinheit

robotron KAC 20

VEB Robotron-Elektronik Dresden

Das Technische Handbuch (THB) ZVE KAC 20 ist Bestandteil der Gesamtdokumentation "RVS-Rechnersystem K 1820"

Weitere Unterlagen siehe:

- RVS-Architekturhandbuch
- Nutzerhandbuch K 1820
- Fehlerortungsunterlagen der ZVE KAC 20
- Beschreibung des Mikroprozessor-Schaltkreissystems U 80700

Produzent:

VEB Robotron-Elektronik Dresden  
Grunaer Str. 2  
Dresden  
DDR 8010

Ausgabe 12/89

Änderungen im Sinne des technischen Fortschritts vorbehalten.  
Im Interesse einer ständigen Weiterentwicklung werden alle Leser gebeten, Hinweise zur Verbesserung der Dokumentation dem Herausgeber mitzuteilen.  
Nachdruck und jegliche Vervielfältigung, auch auszugsweise, sind nur mit Genehmigung des Herausgebers zulässig.

Herausgeber:

VEB Robotron-Elektronik Dresden  
Grunaer Str. 2  
Dresden  
DDR 8010

**Inhaltsverzeichnis**

	Seite
1. ÜBERBLICK	
1.1. EINFÜHRUNG	12
1.2. VERWENDUNGSZWECK DER ZVE KAC 20	13
1.3. MERKMALE DES ZVE-MODULS KAC 20	13
1.4. RVS-ARCHITEKTURBESONDERHEITEN DER ZVE KAC 20	14
1.5. KONFIGURATIONSMÖGLICHKEITEN DER ZVE KAC 20	15
1.5.1. Arbitr-ZVE	15
1.5.2. Hilfs-ZVE	16
1.5.3. Unterschiede zwischen Arbitr- und Hilfs-ZVE	16
1.6. LIEFERVARIANTEN DER ZVE KAC 20	17
1.7. TECHNISCHE DATEN DER ZVE KAC 20	17
1.7.1. Leistungskennwerte	17
1.7.2. Anschlußkennwerte	19
1.7.3. Konstruktive Kennwerte	19
1.7.4. Umgebungsbedingungen	20
1.7.5. Schutzmaßnahmen	20
2. STRUKTUR DER ZVE KAC 20	
2.1. ALLGEMEINE BEMERKUNGEN	21
2.2. STRUKTUR DES MODULS ZVE KAC 20	21
2.2.1. Funktionseinheiten der ZVE KAC 20	21
2.2.1.1. Verarbeitungseinheit	23
2.2.1.2. CPU-Interfacesteuereinheit	23
2.2.1.3. KBUS-Interfacesteuereinheit	23
2.2.1.4. Lokales Speichersubsystem	25
2.2.1.5. KBUS-Mapeinrichtung	25
2.2.1.6. Lokales E/A-Subsystem	25
2.2.1.7. Konsolesubsystem	26
2.2.1.8. Taktversorgung	26
2.2.1.9. Zentrales Steuerwerk	26
3. ARCHITECTUREIGENSCHAFTEN DER ZVE KAC 20	
3.1. ALLGEMEINES	29
3.2. DATENFORMATE	30
3.3. BEFEHLSFORMATE	31
3.4. ADRESSIERUNGSMODI	--
3.5. ZVE - REGISTER	33
3.5.1. Allgemeine Register	33
3.5.2. Prozessorstatus-Longwort (PSL)	33

3.5.3.	Interne Prozessorregister	34
3.5.3.1.	Spezielle interne Prozessorregister	36
3.6.	BEFEHLSSATZ DER ZVE KAC 20	37
3.6.1.	Befehlseмуляtion	38
3.7.	PHYSISCHER ADREßRAUM	38
3.7.1.	Einteilung des physischen Adreßraumes	38
3.7.2.	Nutzung des lokalen E/A-Adreßraumes	40
3.7.3.	Nutzung des KBUS-E/A-Adreßraumes	41
3.8.	SPEICHERVERWALTUNG	41
3.8.1.	Mapping virtueller Adressen	42
3.8.1.1.	Adreßübersetzung im Systemadreßraum	43
3.8.1.2.	Adreßübersetzung im Prozeßadreßraum	43
3.8.1.3.	Format des Page-Tabellen Eintrages	47
3.8.2.	Speicherschutz	47
3.8.3.	Steuerregister der Speicherverwaltung	48
3.9.	SPEICHERSUBSYSTEM	49
3.9.1.	Lokaler DRAM	49
3.9.2.	KBUS-Mapeinrichtung	50
3.9.2.1.	Mapping-Register	50
3.9.2.2.	Funktionsweise der KBUS-Mapeinrichtung	51
3.9.3.	Register des Speichersubsystems	54
3.9.3.1.	Fehlerregister des Speichersubsystems (MSER)	54
3.9.3.2.	CPU-Paritätsfehler-Adreßregister (CEAR)	56
3.9.3.3.	DMA-Paritätsfehler-Adreßregister (DEAR)	57
3.10.	EXCEPTIONS UND INTERRUPTS	57
3.10.1.	Interrupts	58
3.10.1.1.	Hardware-Interrupts	58
3.10.1.2.	Software-Interrupts	64
3.10.1.3.	Architekturbesonderheiten der ZVE KAC 20 bezüglich Interrupts	65
3.10.2.	Exceptions	66
3.10.2.1.	Exception-Parameterblöcke	68
3.10.2.2.	Systemfehler-Exceptions	68
3.10.2.3.	Architekturbesonderheiten der ZVE KAC 20 bezüglich Exceptions	70
3.10.3.	Systemsteuerblock (SCB)	70
3.10.3.1.	Systemsteuerblock-Basisregister (SCBB)	72
3.10.3.2.	Interrupt- und Exceptionvektor	72
3.10.4.	Ablauf von Exceptions und Interrupts	73
3.10.5.	Stacknutzung	77
3.10.6.	Prioritätsfolge von Interrupts und Exceptions	78
3.11.	JAHRESUHR (TOY) DER ZVE KAC 20	79
3.11.1.	Allgemeines	79
3.11.2.	Register der Jahresuhr	79
3.11.2.1.	Uhrzeit- und Datumsregister	80
3.11.2.2.	Steuer- und Statusregister CSR A	81
3.11.2.3.	Steuer- und Statusregister CSR B	79
3.11.2.4.	Steuer- und Statusregister CSR C	82
3.11.2.5.	Steuer- und Statusregister CSR D	82
3.11.3.	RAM-Speicher	82
3.11.4.	Behandlung der Jahresuhr bei Spannungszuschaltung	82
3.11.4.1.	RAM und Datum gültig	82
3.11.4.2.	RAM und Datum ungültig	83

3.12.	INTERVALLZEITGEBER	83
3.12.1.	Steuer- und Statusregister des Intervallzeitgebers (ICCS)	83
3.13.	MULTIPROZESSORARBEIT	84
3.13.1.	Multiprozessoreigenschaften der ZVE KAC 20	84
3.13.2.	Register für die Interprozessorkommunikation (IPCR)	84
3.13.3.	IPCR-Interrupt	86
3.13.4.	Multiprozessorsystem auf Basis der ZVE KAC 20	87
4.	<b>FUNKTIONSBESCHREIBUNG DER ZVE KAC 20</b>	
4.1.	ALLGEMEINE BEMERKUNGEN	88
4.2.	TAKTVERSORGUNG DER ZVE KAC 20	88
4.3.	INITIALISIERUNG	89
4.3.1.	ZVE-Initialisierung	89
4.3.2.	Bus-Initialisierung	89
4.3.3.	Power up-Initialisierung	90
4.3.4.	Ursachen der Initialisierungsvorgänge in der ZVE KAC 20	90
4.3.5.	Spannungszuschaltung und Spannungsausfall	91
4.3.6.	Restart	91
4.3.7.	Übersicht über Initialzustände der ZVE KAC 20	91
4.4.	INTERFACEVERHALTEN DES MIKROPROZESSORS U 80701	92
4.4.1.	CPU-Mikrozyklus und CPU-Zyklen	92
4.4.2.	AS-Zyklus	93
4.4.3.	EPS-Zyklus	95
4.4.4.	Sonstige CPU-Interfacevorgänge	98
4.4.4.1.	Leerzyklus	98
4.4.4.2.	DMG-Zyklus	98
4.4.4.3.	HALT-Acknowledge	99
4.5.	DATENTRANSPORTWEGE	100
4.5.1.	Lesedatenmultiplexer	100
4.5.2.	Adreß- und Schreibdatenmultiplexer	101
4.5.3.	XDAL-Multiplexer im CISA	101
4.5.4.	XDAL-Multiplexer im BIGA	104
4.6.	DATENÜBERTRAGUNGSVORGÄNGE IN DER ZVE KAC 20	104
4.6.1.	Verkehr CPU - DRAM	105
4.6.1.1.	Adressierung des lokalen DRAM	105
4.6.1.2.	Aufbereitung der AS-Zyklen durch die CPU	106
4.6.2.	Verkehr CPU - EPROM	107
4.6.3.	Verkehr CPU - lokale E/A-Register	108
4.6.4.	Verkehr CPU - KBUS	109
4.6.5.	Verkehr KBUS - DRAM über KBUS-Mapeinrichtung	112
4.6.6.	Verkehr CPU - DRAM über KBUS-Mapeinrichtung	113
4.6.7.	Verkehr CPU - Register RXCS, RXDB, TXCS, TXDB, IORESET	114
4.6.8.	Verkehr CPU - FPU	115
4.6.9.	Arbitrage	116
4.6.9.1.	KBUS-Arbitrage	116
4.6.9.2.	DRAM-Arbitrage	118
4.7.	FEHLERERKENNUNG	119
4.7.1.	NXM-Fehler	119
4.7.2.	Paritätsfehler	119

4.7.3.	CPU-Reaktionen auf das ERR-Signal	120
4.7.4.	Fehler bei DMA-Verkehr	121
4.7.5.	KBUS-Timeouts	121
<b>5.</b>	<b>KONSOLESUBSYSTEM DER ZVE KAC 20</b>	
5.1.	ÜBERBLICK	122
5.2.	SYSTEMZUSTÄNDE	123
5.2.1.	RUN-Zustand	124
5.2.2.	HALT-Zustand	124
5.2.3.	PWR OFF-Zustand	125
5.2.4.	RESTART-Zustand	125
5.2.5.	BOOT-Zustand	125
5.2.6.	Zustandsübergänge	126
5.3.	HARDWARE DES KONSOLESUBSYSTEMS	127
5.3.1.	Lokaler PROM	127
5.3.1.1.	Adreßverteilung	127
5.3.1.2.	Ansteuerung des lokalen PROM	128
5.3.2.	TOY-RAM	129
5.3.2.1.	Belegung des TOY-RAM	129
5.3.3.	Halt-Logik	130
5.3.3.1.	Externe Haltursachen	130
5.3.3.2.	Halt-Enable	130
5.3.3.3.	Zustandsumschaltung RUN/HALT	132
5.3.4.	Diagnosehilfsmittel	133
5.3.4.1.	Boot- und Diagnoseregister (BDR)	133
5.3.4.2.	LED-Anzeige	135
5.3.5.	Serieller Anschluß für Konsoleterminal	135
5.3.5.1.	Allgemeines	135
5.3.5.2.	Steuer- und Statusregister des Konsoleempfängers (RXCS)	136
5.3.5.3.	Datenpuffer des Konsoleempfängers (RXDB)	137
5.3.5.4.	Steuer- und Statusregister des Konsolesenders (TXCS)	138
5.3.5.5.	Datenpuffer des Konsolesenders (TXDB)	139
5.4.	KONSOLEPROGRAMM	139
5.4.1.	Komponenten des Konsoleprogramms	139
5.4.2.	Funktionelle Organisation des Konsoleprogramms	140
5.4.2.1.	Arbeitsmodi des Konsoleprogramms	140
5.4.3.	Strukturelle Organisation des Konsoleprogramms	141
5.5.	FUNKTIONSBESCHREIBUNG DES KONSOLEPROGRAMMS	143
5.5.1.	Start des Konsoleprogramms	143
5.5.2.	Initialisierung	144
5.5.2.1.	Spannungszuschaltung oder Restart	144
5.5.2.2.	EPROM-Prüfsummentest	145
5.5.2.3.	TOY-RAM Test	145
5.5.2.4.	Initialisierung von Konsoleprogramm-Speicher und Speicherbitmap	145
5.5.2.5.	TOY-Register Test	146
5.5.2.6.	Test des Registers IPCR und der KBUS-Arbitrage	146
5.5.2.7.	Ermittlung des Konsoleterminal-Typs	147
5.5.2.8.	Festlegung der Konsolesprache	148
5.5.3.	Eintrittsverzweigung	149
5.5.4.	Diagnose	151
5.5.4.1.	Überblick	151
5.5.4.2.	Funktionsbeschreibung der Tests	152

5.5.4.3.	Speicher-Datentest (Test 7)	153
5.5.4.4.	Speicher-Adressentest (Test 6)	154
5.5.4.5.	Test des Registers IPCR und der KBUS-Arbitrage (Test 8)	154
5.5.4.6.	Test der KBUS-Mapeinrichtung (Test 5)	154
5.5.4.7.	CPU-Basistest (Test 4)	154
5.5.4.8.	Test der Interrupts und Exceptions (Test 3)	154
5.5.4.9.	Ausgabe des Testurteils über Konsolterminal	156
5.5.4.10.	LED-Anzeige	157
5.5.4.11.	Interpretation des Konsoleprogramm-Status	159
5.5.5.	Restart	161
5.5.6.	Bootstrap	162
5.5.6.1.	Primäres Bootstrap-Programm (VMB)	164
5.5.6.2.	Ermittlung des Bootgerätes durch VMB	164
5.5.6.3.	Bootstrap-Kommando F1	165
5.5.6.4.	Booten von einem Plattenspeicher	166
5.5.6.5.	Booten vom Magnetband	168
5.5.6.6.	Booten vom PROM	168
5.5.6.7.	Booten vom RONAK	169
5.5.6.8.	Bootvorgang bei einer Hilfs-ZVE	169
5.5.6.9.	Sekundäres Bootstrap-Programm	170
5.5.7.	Konsolebedienung	171
5.5.7.1.	Halt-Mitteilungen	171
5.5.7.2.	Zugriff des Konsoleprogramms auf ZVE-Register	172
5.5.7.3.	Syntax der Konsolekommando-Eingabe	173
5.5.7.4.	Konsolekommandos	173
5.5.7.5.	Nicht realisierte Konsolekommandos	178
5.5.7.6.	Fehlermitteilungen	179
5.5.8.	Verlassen des Konsoleprogramms	180
6.	<b>DEBUGGER XDELTA</b>	181
7.	<b>KONSTRUKTION DER ZVE KAC 20</b>	182
7.1.	KONSTRUKTIVE DATEN	182
7.2.	MODUL-KONTAKTBEZEICHNUNGEN DER DIREKTEN STECKVERBINDER	182
7.3.	ANORDNUNG DER DIREKTEN STECKVERBINDER	182
7.4.	KONTAKT-NUMERIERUNG DER INDIREKTEN STECKVERBINDER	183
8.	<b>TRANSPORT, LAGERUNG, VERPACKUNG UND ENTPACKUNG</b>	184
8.1.	VERPACKUNG	184
8.2.	TRANSPORT UND LAGERUNG	184
8.3.	ENTPACKUNG	184
9.	<b>INSTALLATION</b>	185
9.1.	ÜBERSICHT	185
9.2.	STECKVERBINDER DES ZVE-MODULS KAC 20	185

9.2.1.	Anordnung der Steckverbinder	185
9.2.2.	Steckverbinder X1 - Anschluß für Speichererweiterung	186
9.2.3.	Steckverbinder X2 - Konfiguration und LED-Anzeige	187
9.2.4.	Steckverbinder X3 - Konsolinterface	188
9.2.5.	KBUS-Anschluß	189
9.2.6.	CD-Rückverdrahtung	189
9.3.	ANSCHLUß DER KAC-ANSCHLUßBAUGRUPPE	189
10.	<b>EINSTELLUNGEN</b>	
10.1.	LAGE DER EINSTELLELEMENTE	190
10.2.	EINSTELLUNG	191
10.2.1.	Brücken	191
10.2.2.	Steuersignale	191
11.	<b>INBETRIEBNAHME UND BETRIEB</b>	
11.1.	INBETRIEBNAHMEVORAUSSETZUNGEN	192
11.2.	INBETRIEBNAHME DES MODULS ZVE KAC 20	192
11.3.	BETRIEB	192
12.	<b>PFLEGE, WARTUNG UND INSTANDSETZUNG</b>	193
13.	<b>PSU DER ZVE KAC 20</b>	
13.1.	FUNKTIONSBESCHREIBUNG	194
13.2.	ARBEITSWEISE	194
13.3.	ANWENDUNGSBEREICH	194
13.4.	FUNKTIONSTESTS	195
13.5.	EXERCISERTESTS	195
13.6.	NACHWEISMODUS	195
13.6.1.	Funktionstests im Nachweismodus	195
13.6.2.	Exercisertests im Nachweismodus	195
13.7.	SERVICEMODUS	195
	<b>ABKÜRZUNGSVERZEICHNIS</b>	
	<b>BEGRIFFSVERZEICHNIS</b>	
	<b>LITERATURVERZEICHNIS</b>	
	<b>SACHWORTVERZEICHNIS</b>	



**ANLAGEN**

- Anlage 1: Maschinenbefehlskode-Matrix  
 Anlage 2: Zusammenstellung der Adressierungsmodi  
 Anlage 3: Liste der Konsolekommandos  
 Anlage 4: Liste der XDELTA-Kommandos

**VERZEICHNIS DER BILDER:**

2-1	Strukturorganisation der ZVE KAC 20	22
2-2	Blockschaltbild der ZVE KAC 20; Datenwege	24
2-3	Blockschaltbild der ZVE KAC 20; Zentrales Steuerwerk	27
3-1	K 1820-RVS-Datenformate	30
3-2	Allgemeines Befehlsformat	31
3-3	Register der ZVE KAC 20	33
3-4	Prozessorstatus-Langwort (PSL)	34
3-5	Einteilung des virtuellen Adreßraumes	41
3-6	Übersetzung von virtueller Adresse im Systemadreßraum	44
3-7	Übersetzung von virtuellen Adressen im Prozeßraum P0	45
3-8	Übersetzung von virtuellen Adressen im Prozeßraum P1	46
3-9	Format des PTE	47
3-10	Adreßübersetzung von KBUS-Adressen	53
3-11	Format des Registers MSER	54
3-12	Format des Registers CEAR	57
3-13	Format des Registers DEAR	57
3-14	Klassifizierung der Hardware-Interrupts	59
3-15	Format des Registers IPL	64
3-16	Format des Registers SIRR	65
3-17	Format des Registers SISR	65
3-18	Klassifizierung der Exceptions	66
3-19	Exception-Parameterblock	68
3-20	Exception-Parameterblock für Maschinenfehler-Exception	69
3-21	Format des Registers SCBB	72
3-22	Format des Interrupt- und Exception-Vektors	72
3-23	Ablauf von Exceptions und Interrupts	73
3-24	Format des Registers CSR A	80
3-25	Format des Registers CSR B	81
3-26	Format des Registers CSR D	82
3-27	Format des Registers ICSS	83
3-28	Format des Registers IPCR	85
4-1	Format des Registers IDRESET	90
4-2	AS-Zyklus	93
4-3	Zeitdiagramm für AS-Zyklen; Lesen und Schreiben	94
4-4	FPU EPS-Zyklus	95
4-5	Zeitdiagramm für EPS-Zyklen; Lesen und Schreiben	97
4-6	Datentransportwege in der ZVE KAC 20	102
4-7	Datenwege für Übertragungsvorgänge	105
4-8	CPU-Adresse	105
4-9	Adressierbare DRAM-Information	106
4-10	Datenübertragung auf dem KBUS	110
5-1	Einordnung des Konsoleprogramms	123
5-2	Zustandsübergänge	126
5-3	Adreßverteilung des lokalen PROM	127
5-4	Ansteuerung des lokalen PROM	128

**VERZEICHNIS DER BILDER: Fortsetzung**

5-5	Belegung des TOY-RAM	129
5-6	Steuerung der Haltbehandlung	131
5-7	Format des Registers BDR	134
5-8	Anordnung der LED-Anzeige auf dem ZVE-Modul	135
5-9	Format des Registers RXCS	136
5-10	Format des Registers RXDB	137
5-11	Format des Registers TXCS	138
5-12	Format des Registers TXDB	139
5-13	Komponenten des Konsolenprogramms	139
5-14	Funktionelle Organisation des Konsolenprogramms	140
5-15	Allgemeiner Programmablaufplan des Konsolenprogramms	142
5-16	Start des Konsolenprogramms	144
5-17	Speicheraufteilung nach der Initialisierung	146
5-18	Diagnose-Datenwege	153
5-19	Format des Restart-Parameterblocks (RPB)	162
5-20	Bootblock-Format	167
5-21	PROM-Signaturblock	168
5-22	Erweiterter RPB	170
5-23	Sekundäre Bootstrap-Argumentliste	171
5-24	Sekundäre Bootstrap-Speichermap	171
7-1	Anordnung der direkten Steckverbinder	182
7-2	Kontakt-Numerierung der indirekten Steckverbinder	183
9-1	Position der Steckverbinder auf dem Modul ZVE KAC 20	152
10-1	Lage der Einstellelemente	190

**VERZEICHNIS DER TABELLEN:**

1-1	Konfigurationen der ZVE-KAC 20	15
1-2	Unterschiede zwischen Arbitr- und Hilfs-ZVE	16
3-1	Übersicht über Interne Prozessorregister	35
3-2	Einteilung des physischen Adreßraumes bei der ZVE KAC 20	38
3-3	Genutzte Adressen im lokalen E/A-Adreßbereich	40
3-4	Genutzte Adressen im KBUS-E/A-Adreßbereich	41
3-5	Adressen der Mapping-Register	51
3-6	Nutzung der Prioritätsebenen	58
3-7	Haltkodes	61
3-8	Arithmetische Exceptions	67
3-9	Speicherverwaltungs-Exceptions	67
3-10	Operandenzugriffs-Exceptions	67
3-11	Befehlsausführungs-Exceptions	67
3-12	Trace-Exceptions	68
3-13	Systemfehler-Exceptions	68
3-14	Maschinenfehlerkodes	69
3-15	Systemsteuerblock für das Rechnersystem K 1820	70
3-16	Überblick über die Bildung des neuen PSL	76
3-17	Adressen der Register der Jahresuhr	79
3-18	Zahlenbereiche der Jahresuhrregister	80
3-19	Adreßzuordnung für die Register IPCR	85
4-1	Mikrostatus	88
4-2	Ursachen der Initialisierungsvorgänge	90

**VERZEICHNIS DER TABELLEN: Fortsetzung**

4-3	Übersicht über Initialzustände der ZVE KAC 20	91
4-4	AS-Zykluskodierung	93
4-5	EPS-Zykluskodierung	96
4-6	Lesedaten-Multiplexer für DAL<31:00> im Schaltkreis C16A	100
4-7	Adreß- und Schreibdaten-Multiplexer für IDB<15:00> und EPR<15:00>	101
4-8	Multiplexer für XDAL<21:16> im C16A	101
4-9	Multiplexer für XDAL<15:00> im B16A	104
4-10	Durchführung von CPU-AS-Zyklen bzgl. KBUS-Adreßbereiche	110
5-1	Wirkung der externen Halt-Signale	131
5-2	Einstellung der Baudrate	135
5-3	Konsoleregister	136
5-4	Wirkung von BDGCD<1:0> auf Konsolesprachen-Einstellung	148
5-5	Zusätzliche Sprachunterscheidung	148
5-6	Konsoleprogramm-Eintrittsverzweigung	149
5-7	Diagnosetestgruppen	152
5-8	Bedeutung des Konsoleprogramm-Status	158
5-9	Inhalt der Allgemeinen Register bei Start des VMB	164
5-10	Bootgeräte	165
5-11	VMB Bootstrap-Kommando-Flags	165
5-12	Halt-Mitteilungen	172
5-13	Fehlermitteilungen des Konsoleprogramms	179
9-1	Kontaktbelegung des Steckverbinders X1	186
9-2	Kontaktbelegung des Steckverbinders X2	187
9-3	Kontaktbelegung des Steckverbinders X3	189
10-1	Einstellungen	191

## 1. ÜBERBLICK

### 1.1 Einführung

Das vorliegende Technische Handbuch (THB) der Zentralen Verarbeitungseinheit ZVE robotron KAC 20 (mit der SKR-Chiffre K 2820) macht den Nutzer mit der Architektur, d.h. den funktionellen Eigenschaften und dem logischen Verhalten dieser Baugruppe bekannt.

Diese Kenntnisse sind für den Nutzer, der auf Assemblerniveau arbeitet, unbedingte Voraussetzung für das funktionelle Verständnis und damit für die Programmierung im Maschinenkode.

Für den mit der Wartung des Rechnersystems K 1820 betrauten Personenkreis bietet das Technische Handbuch der ZVE KAC 20 das notwendige Wissen für die qualifizierte Durchführung dieser Tätigkeit.

Für den Kundendienst-Ingenieur vermittelt das Technische Handbuch das Grundwissen als Voraussetzung für das Verständnis weiterführender Fehlerortungsunterlagen.

Voraussetzungen für das Verständnis des Technischen Handbuches der ZVE KAC 20 sind:

- Kenntnis der RVS-Architektur;  
siehe RVS-Architekturhandbuch, Dok.-Nr. 1.57.550001.3/78
- Kenntnis des Systembandes der Betriebsdokumentation des Rechnersystems K 1820;  
siehe Nutzerhandbuch K 1820
- Kenntnis des Mikroprozessor-Schaltkreissystems U 80700  
siehe Beschreibungen der einzelnen Bauelemente
  - . Beschreibung des Mikroprozessors U 80701 (CPU)
  - . Beschreibung des Gleitkommaprozessors U 80703 (FPU)
  - . Beschreibung des CPU-Gate-Arrays U 80709 (CIGA)
  - . Beschreibung des KBUS-Gate-Arrays U 80711 (BIGA)

Das Technische Handbuch der ZVE KAC 20 ist folgendermaßen aufgebaut:

- Es wird zunächst ein allgemeiner Überblick über besondere Merkmale und die Technischen Parameter der ZVE KAC 20 gegeben (Pkt. 1.).
- Es folgt eine Kurzbeschreibung der konkreten Hardwarerealisation der ZVE KAC 20, d.h. der technischen Mittel, auf deren Basis die RVS-Architektur des Rechners K 1820 realisiert wird (Pkt. 2.).
- Punkt 3. beschreibt, aufbauend auf den Kenntnissen der RVS-Architektur, die Architekturbesonderheiten der ZVE KAC 20, d.h. die allgemeine Struktur und das funktionelle Verhalten, wie sie sich dem Nutzer auf Assemblerniveau darbieten.  
Die Beschreibung des Konsolesubsystems in Punkt 5. liefert dabei wesentliche Erkenntnisse über die Funktionsweise der ZVE KAC 20 sowie über die Besonderheiten, die das funktionelle Verhalten der ZVE bestimmen.
- Für das tiefere Verständnis der ZVE KAC 20 werden in Punkt 4. die Operationsprinzipien der ZVE, d.h. die konkrete Arbeitsweise zur Realisierung der Systemattribute auf der vorliegenden Hardwarelösung sowie das spezielle logische und zeitliche Verhalten der ZVE beschrieben.
- Es folgen Angaben zur Konstruktion, zum Umgang mit dem Modul, zur Installation, Einstellung, Inbetriebnahme, Pflege und Wartung sowie der PSU des ZVE-Moduls.

1.2. Verwendungszweck der ZVE KAC 20

Die Zentrale Verarbeitungseinheit robotron KAC 20 ist ein 32-bit-Mikroprozessor-Modul mit KBUS-Interface, der für den Einsatz in den verschiedenen Varianten der 32-bit-Rechnerkonfigurationen robotron K 1820 vorgesehen ist. Der Modul ZVE KAC 20 wurde für schnelle Echtzeitanwendungen sowie für Mehrnutzer- und Multitask-Betrieb entworfen und enthält bestimmte Hardware- und Firmwaremittel, um den Anforderungen der RVS-Architektur gerecht zu werden.

Die ZVE KAC 20 ist aus Architektursicht ein Subset-RVS-Prozessor und erlaubt den Aufbau von hochleistungsfähigen Rechnersystemen verschiedenster Konfiguration für anspruchsvolle Multiprogrammanwendungen sowie die Realisierung von Multiprozessorsystemen für ein breites Spektrum von Einsatzgebieten.

1.3. Merkmale des ZVE-Moduls KAC 20

- Die ZVE KAC 20 ist ein Modul im 4-fach-Format (265,6 mm x 214,1 mm) und trägt auf der Rückverdrahtungsseite vier direkte Steckverbinder mit je (2 x 18) Kontakten zur Realisierung des KBUS-Interface sowie des CD-Anschlusses.
- Der ZVE-Modul nutzt die CD-Rückverdrahtung und einen 50-poligen indirekten Steckverbinder (X1, s. Pkt. 9.2.2.) auf der Griffseite zur Kommunikation mit maximal zwei Speichererweiterungsmoduln MSC 20 mit einer Speicherkapazität zu je 8 Mbyte.
- Die ZVE KAC 20 ist konfigurierbar als Arbiter-ZVE oder als eine von maximal drei möglichen Hilfs-ZVE's in einer Multiprozessorkonfiguration.
  - . Jedes Rechnersystem enthält nur eine Arbiter-ZVE.
  - . Ein Multiprozessorsystem kann zusätzlich maximal drei Hilfs-ZVE's enthalten.
  - . Ein Interprozessor-Kommunikationsregister (IPCR) unterstützt die Anwendung der ZVE KAC 20 in Multiprozessorsystemen (Pkt. 3.13.).
- Der 32-bit-Mikroprozessor-Schaltkreis (CPU) U 80701 ist ein NMOS-VLSI-Schaltkreis (NS6T IV) in einem QFP-Gehäuse mit 68 Anschlüssen und realisiert weitgehend die 32-bit-RVS-Architektur:
  - . Teilmenge der RVS-Datentypen
  - . Teilmenge des RVS-Befehlssatzes
  - . volle RVS-Speicherverwaltung (Umwandlung der virtuellen in physische Adressen; Speicherschutz)
  - . volle Menge der RVS-Arbeitsregister (Allgemeine Register)
  - . Teilmenge der Internen Prozessorregister gemäß RVS-Architektur
- Der 32-bit-Gleitkommaprozessor-Schaltkreis (FPU) U 80703 ist ein NMOS-VLSI-Schaltkreis (NS6T IV) in einem QFP-Gehäuse mit 68 Anschlüssen und beschleunigt die Lösung arithmetischer Aufgaben in enger Zusammenarbeit mit der CPU. Er unterstützt:
  - . F-, D- und G-Datentypen
  - . Teilmenge des RVS-Gleitkommaprozeduralbefehlssatzes
- Zwei CMOS-Gate-Array-Schaltkreise (U 80709, CIGA und U80711, BIGA) realisieren die Anpassung an das CPU- sowie das KBUS-Interface
- Speichersubsystem
  - . Grundausstattung - 1 Mbyte Dual-Port-Speicher als lokaler DRAM
  - . Anschluß von maximal zwei Speichererweiterungsmoduln MSC 20
  - . entsprechend den Adressierungsmöglichkeiten der ZVE beträgt die maximal zulässige Gesamtkapazität des lokalen Speichers 16 Mbyte
  - . Paritätsbitgenerierung und Paritätsbitüberprüfung für jedes Byte des gesamten lokalen Speichers
  - . die ZVE KAC 20 enthält die Steuerung für das gesamte Speichersubsystem
- Konsolesubsystem
  - . 64 Kbyte Festwertspeicher (EPROM) für die ZVE-Firmware (Konsoleprogramm, Debugger)
  - . realisiert Teilmenge der RVS-Konsolesubsystem-Architektur

- . Das Konsoleprogramm realisiert u.a.:
  - \* Initialisierung
  - \* automatischer Selbsttest bei Spannungszuschaltung und Restart
  - \* Teilmenge der RVS-Konsolekommandosprache
  - \* Bootroutinen für Standardgeräte
- . Serieller Anschluß für Konsoleterminal
  - \* Zugriff über vier Interne Prozessorregister (CPU-extern realisiert)
  - \* extern einstellbare Baudrate
- Jahresuhr (TOY) mit Batteriestützung
- Intervallzeitgeber
  - . 10 ms Interrupts
  - . programmtechnische Behandlung der Intervallzeit
  - . Interrupt sperrbar über internes Prozessorregister ICCS
- KBUS-Interface
  - . der KBUS ermöglicht den Datenverkehr zwischen der ZVE KAC 20 und KBUS-Geräten (z.B. Controller mit oder ohne DMA-Fähigkeiten); hierbei erfolgt in der ZVE eine fest verdrahtete Adreßumformung der von der CPU bereitgestellten physischen Adresse in die entsprechende KBUS-Adresse
  - . der KBUS ermöglicht den Datenverkehr zwischen DMA-Controllern und lokalem DRAM-Speicher (auf ZVE-Modul oder Speichererweiterungsmodul); hierbei erfolgt eine Adreßumformung der KBUS-Adresse in die DRAM-Adresse über eine KBUS-Mapeinrichtung
  - . Die KBUS-Mapeinrichtung erlaubt eine pageweise Festlegung der Adreßzuordnung. Für die 8 K Pages (Seiten) des KBUS-Speicher-Adreßraumes existieren 8 K programmierbare Mapping-Register. Der Zugriff zum lokalen DRAM kann über Steuerbits gesperrt werden.
  - . der KBUS erlaubt:
    - \* Einzelübertragung - 8 bit oder 16 bit Datenbreite
    - \* Blockübertragung - (n x 16) bit Datenbreite (n <= 16)
  - . Nur eine als Arbitrer-ZVE konfigurierte ZVE KAC 20 steuert das Interruptsystem, indem sie die über den KBUS eingehenden Interruptanforderungen BIRQ<7:4> beachtet. Die Arbitrer-ZVE realisiert auch die KBUS-Arbitrage.
  - . Alle KBUS-Leitungen tragen auf dem ZVE-Modul einen 240 Ohm-Abschluß
- Multiprozessoreigenschaften
  - . Die ZVE KAC 20 besitzt Hardware-Eigenschaften, die einen Multiprozessorbetrieb unterstützen:
    - \* schnelle Kontextumschaltung
    - \* leistungsfähige Prioritätsverarbeitung
    - \* Speicherverwaltung (virtuelle Adressierung, Speicherschutz)
    - \* Hardwareunterstützung für Interprozessor-Kommunikation (Register IPCR)

#### 1.4. RVS-Architekturbesonderheiten der ZVE KAC 20

Die Realisierung der RVS-Architekturforderungen wird bei der ZVE KAC 20 auf zwei Wegen erreicht:

- durch Neuverteilung der Architekturforderungen auf die Ressourcen der ZVE
- durch RVS-Systemvereinfachungen

Die Neuverteilung der Architekturforderungen ist realisiert durch:

- . Einsatz eines speziellen Mikroprozessor-Schaltkreises (CPU) U 80701, dessen Hardware einen großen Anteil der Architekturforderungen realisiert
- . Realisierung von Architekturforderungen durch das Mikroprogramm der CPU
- . Verlagerung bestimmter Architekturforderungen auf das Betriebssystem

Die RVS-Systemvereinfachungen erfolgen durch Weglassen aufwendiger Systemressourcen sowie Reduzierung der funktionellen Komplexität.

Das betrifft:

- . das Speichersubsystem, das ohne Datencache arbeitet
- . den Adreßübersetzungspuffer, der gemeinsam für System und Prozeß nur acht Eintritte realisiert
- . die Hardwareimplementierung der Gleitkommaarithmetik, die reduziert durch einen speziellen Coprozessor (FPU) U 80703 realisiert ist
- . den erweiterbaren und beschreibbaren Mikroprogramm-Steuerspeicher, dessen Funktion durch Software emuliert werden kann
- . das Konsolesubsystem, das durch Firmware (Konsoleprogramm) und spezielle Hardwareressourcen der ZVE KAC 20 realisiert ist

### 1.5. Konfigurationsmöglichkeiten der ZVE KAC 20

Die ZVE KAC 20 kann als Arbiter-ZVE oder als eine von maximal drei möglichen Hilfs-ZVE's für den Einsatz in einem Multiprozessorsystem konfiguriert werden. Das in jeder ZVE vorhandene Interprozessor-Kommunikationsregister (IPCR) bietet dabei eine Hardwareunterstützung bei der Anwendung der Hilfs-ZVE's in Multiprozessorkonfigurationen.

Für die Konfiguration der ZVE sind auf dem Modul selbst keinerlei Schalter oder Brücken einzustellen. Sie erfolgt durch Anlegen bestimmter Steuersignale an dafür vorgesehene Kontakte eines Konfigurations- und Anzeige-Steckverbinders (siehe Punkt 9.2.3.; Steckverbinder X2).

Die Konfiguration des ZVE-Moduls KAC 20 als Arbiter- oder Hilfs-ZVE erfolgt durch Schaltereinstellung bzw. Wicklung und Auftrennung von Leiterbrücken auf der ZVE-Anschlußbaugruppe (siehe Nutzerhandbuch K 1820).

Über den Konfigurations- und Anzeigesteckverbinder X2(5:4) werden die CPU-Kode-Signale CPUCD<1:0> zur ZVE übertragen. Die Firmware (Konsoleprogramm) der ZVE sowie die Systemsoftware können den CPU-Kode über das Boot- und Diagnoserregister BDR<11:10> ermitteln. Tabelle 1-1 zeigt den CPU-Kode und die entsprechende ZVE-Konfiguration.

Tab. 1-1: Konfigurationen der ZVE KAC 20

CPUCD<1:0>		ZVE - Konfiguration
0 0		Arbiter - ZVE
0 1		Hilfs - ZVE 1
1 0		Hilfs - ZVE 2
1 1		Hilfs - ZVE 3

#### 1.5.1. Arbiter-ZVE

Ist die ZVE KAC 20 als Arbiter-ZVE konfiguriert, muß sie sich auf dem ersten Steckplatz der KBUS-Rückverdrahtung befinden. Dieser erste Steckplatz und die unmittelbar nachfolgenden, von Speichererweiterungsmoduln belegten Steckplätze müssen die CD-Rückverdrahtung tragen. Die Arbiter-ZVE erlaubt den Anschluß von maximal zwei Speichererweiterungsmoduln.

Die Arbiter-ZVE realisiert die KBUS-Arbitrage (Buszuweisung) und verarbeitet alle KBUS-Interruptanforderungen BIRQ<7:4>. Sie ist auch in der Lage, Interruptanforderungen vom eigenen 10ms-Intervallzeitgeber, von ihrem seriellen Konsoleanschluß und von ihrem Interprozessor-Kommunikationsregister (IPCR) zu bedienen.



1.5.2. Hilfs-ZVE

Ist die ZVE KAC 20 als Hilfs-ZVE konfiguriert, befindet sie sich auf einem freien Steckplatz am KBUS, der die CD-Rückverdrahtung besitzt. Die Hilfs-ZVE muß die KBUS-Masterschaft anfordern und erhalten, ehe sie Zugriffe über den KBUS durchführen kann. Sie verarbeitet keine KBUS-Interruptanforderungen, kann aber Interruptanforderungen vom eigenen 10ms-Intervallzeitgeber, vom eigenen Konsoleanschluß und vom eigenen IPCR bedienen.

**A c h t u n g !**

=====

Der ZVE-Modul KAC 20 wird beschädigt, wenn er auf einen Steckplatz gesteckt wird, der im CD-Bereich das KBUS-Interface realisiert.

1.5.3. Unterschiede zwischen Arbiter- und Hilfs-ZVE

Durch Einstellung kann die ZVE KAC 20 als Arbiter- oder als Hilfs-ZVE konfiguriert werden (siehe Tab. 1-1). Die Arbeitsweise einer Hilfs-ZVE unterscheidet sich in vielen Funktionen grundlegend von der Arbeitsweise einer Arbiter-ZVE. Tabelle 1-2 zeigt die Unterschiede zwischen einer Arbiter-ZVE und einer Hilfs-ZVE.

Tab. 1-2: Unterschiede zwischen Arbiter- und Hilfs-ZVE

Nr.	Merkmal	Arbiter-ZVE	Hilfs-ZVE
1.	KBUS-Arbitrage	realisiert KBUS-Arbitrage lt. Busrichtlinie (DMA-Protokoll)	KBUS-Arbitrage-Logik gesperrt
2.	Erlangung Busherrschaft	<ul style="list-style-type: none"> <li>. Senden BDMR auf KBUS</li> <li>. Empfang DMGI von KBUS-Arbitrage-Logik</li> <li>. Senden SACK blockiert</li> </ul>	<ul style="list-style-type: none"> <li>. Senden BDMR auf KBUS</li> <li>. Empfang DMGI über KBUS-Signal BDMGI</li> <li>. Senden BSACK auf KBUS</li> </ul>
3.	BINIT	Senden von BINIT bei: <ul style="list-style-type: none"> <li>. Spannungszuschaltung</li> <li>. Spannungsausfall</li> <li>. Restart</li> <li>. Schreiben in das Register</li> <li>. IORESET</li> </ul>	Senden BINIT blockiert; Mit Empfang von BINIT erfolgt: <ul style="list-style-type: none"> <li>. Initialisierung der CPU</li> <li>. Definierte Einstellung aller ZVE-Register, die durch Spannungszuschaltung und Restart beeinflusst werden</li> </ul>
4.	IPCR-Adressen	2000 1F40 H	2000 1F42 H Hilfs-ZVE 1 2000 1F44 H Hilfs-ZVE 2 2000 1F46 H Hilfs-ZVE 3
5.	AUXHLT	ZVE-Halt durch Setzen von IPCR<8> = AUXHLT blockiert	Setzen von IPCR<8> = AUXHLT führt zum ZVE-Halt
6.	Halt-Enable	Signal HALTENB wirkt auf die externen Haltursachen BREAK BHALT	Signal HALTENB wirkt auf die externe Haltursache BREAK
7.	BHALT	Signal BHALT wirkt als externe Haltursache	Signal BHALT ist blockiert



Tab. 1-2: Fortsetzung

8.	Interrupt- anforder- ungen	Interruptanforderungen über KBUS BIRQ<7:4> werden bedient	Interruptanforderungen über KBUS BIRQ<7:4> werden ignoriert
9.	IACK	Senden von BIAKO als Ant- wort auf KBUS-Interruptan- forderung	Senden von BIAKO als Reaktion auf Empfang von BIAKI
10.	TOY	. wahlweise mit Batterie- stützung . Jahresuhr eingeschalten	. stets ohne Batteriestützung . Jahresuhr abgeschalten

### 1.6 Liefervarianten der ZVE KAC 20

Es sind folgende Liefervarianten der ZVE KAC 20 möglich:

- ZVE KAC 20 mit 1 Mbyte DRAM auf dem Modul
  - ZVE KAC 20 ohne 1Mbyte DRAM auf dem Modul (Bestückungsvariante)
- Jeder ZVE-Modul ist mit dem Gleitkommaprozessor (FPU) U 80703 bestückt.

### 1.7 Technische Daten

#### 1.7.1. Leistungskennwerte

Datenformat: Integer - Byte (B), Wort (W), Langwort (L),  
Quadwort (Q)  
Gleitkomma - F-, D-, G-Gleitkomma  
Zeichenketten  
Bitfelder  
Warteschlangen

Befehlsformat: 1-Byte-OPC  
2-Byte-OPC  
max. 6 Bytes Operandenspezifikatoren

Befehlsimplementierung:  
Integerbefehle  
Adreßbefehle  
Gleitkommabefehle  
Dezimalbefehle  
Zeichenkettenbefehle  
Bitfeldbefehle  
Warteschlangenbefehle  
Verzweigungsbefehle  
Prozedurbefehle  
Verschiedene Operationen  
CRC-Befehl  
EDIT-Befehl  
Sonstige Befehle

Adressierungsarten: Allgemeine Registermodi  
PC-Modi  
Indexmodus  
Branchmodus

<b>CPU:</b>	32-bit-Mikroprozessor U 80701 mit integrierter Speicherverwaltung . seitenorientierter Schutzmechanismus . virtueller Adreßraum - 4 Gbyte . physischer Adreßraum - 1 Gbyte Prefetch-Stack - 8 Byte 7 Hardware-Interrupts
<b>CPU-Mikrozyklus:</b>	200 ns
<b>CPU-Buszyklus:</b>	400 ns minimal
<b>Registersatz:</b>	16 Allgemeine Register Prozessorstatus-Longwort (PSL) 37 interne Prozessorregister
<b>Adreßräume:</b>	Lokaler Speicheradreßraum - 16 Mbyte Externer Speicheradreßraum - 4 Mbyte Lokaler E/A-Adreßraum - 64 Kbyte EPROM 256 Kbyte E/A-Register Externer E/A-Adreßraum - 8 Kbyte
<b>EPROM:</b>	64 Kbyte enthält Firmware (Konsoleprogramm, Debugger XDELTA)
<b>Takterzeugung:</b>	Oszillatoren - 40,0 MHz, Systemtakt SYSCLK für CPU, FPU - 32,768 kHz, Jahresuhr-Takt - 614,4 kHz, Interfacetakt, Intervalltakt Taktfrequenz für Steuerlogik: 20 MHz (CPU-Ausgangstakt CLK0)
<b>Interruptsystem:</b>	Vektororganisierte Interruptbehandlung . 16 Hardware-Interruptebenen . 15 Software-Interruptebenen Lokales Interruptsystem für - serielles Konsole-Interface IPCR-Interrupt 4 KBUS-Interruptleitungen BIRQ<7:4>
<b>Bedienung:</b>	über Konsoleterminal, a/n- oder Grafik-Terminal RVS-Konsolekommandosprache Sprachauswahl für Konsolemitteilungen extern einstellbare Baudrate
<b>Arbeitsmodi:</b>	4 hierarchische Betriebsmodi - Kernel Executive Supervisor User
<b>Stackorganisation:</b>	für jeden Betriebsmodus getrennter Stack gemeinsamer Interruptstack
<b>Timeoutüberwachung:</b>	ca. 10 µs
<b>Intervallzeitgeber:</b>	10 µs Interrupt über Steuerregister ICCS sperrbar
<b>Seriell Interface:</b>	für Anschluß des Konsoleterminals V.24 (RS 232)

Speicherausstattung: 1 Mbyte lokaler DRAM auf ZVE-Modul  
 max. 2 Speichererweiterungsmodule MSC 20 (je 8 Mbyte)  
 Gesamtspeicherkapazität max. 16 Mbyte

### 1.7.2. Anschlußkennwerte

Energieversorgung: + 5 V (+/- 5 %) ca. 6,2 A  
 +12 V (+/- 5 %) ca. 0,14 A

Leistungsaufnahme: gesamt etwa 33 W

Systembus: KBUS nach Systembus-Richtlinie  
 KBUS-Lasten: 2,7 Wechselstromlastfaktoren  
 1,0 Gleichstromlastfaktoren

Batteriestützung:
 

- . für Jahresuhr (TOY)
- . Reihenschaltung von 3 NC-Batterien
- . Spannung - 3,75 V
- . Spannungsüberwachung; Abschaltspannung: 3,15 V
- . Erhaltungsladung während Betrieb
- . Konstruktive Anordnung auf ZVE-Anschlußbaugruppe

#### Hinweis:

=====

Die Batterie versorgt nur den Jahresuhr-Schaltkreis und seinen Oszillator. Es erfolgt keine Stützung des Speichersubsystems.

### 1.7.3. Konstruktive Kennwerte

LP-Typ: 057-8400  
 LP-Art: MLL, 6 Ebenen

BLP-Abmessungen: 4-fach-Format  
 Breite: 265,6 mm (+0,38 mm; -0,51 mm)  
 Länge: 214,1 mm (+/-0,25 mm)

Zulässige Bauhöhe: 9,5 mm (nicht leitend)  
 8,8 mm (leitend)

Zulässiges Steckraster: 15 mm  
 BLP-Masse: ca. 550 g

Steckverbinder:
 

- A,B direkt, 2 x 18 Kontakte, KBUS-Rückverdrahtung
- C,D direkt, 2 x 18 Kontakte, CD-Rückverdrahtung
- X1 indirekt, Speicheranschluß  
Steckerleiste, 50-polig
- X2 indirekt, Konfiguration und Anzeige  
Steckerleiste, 20-polig
- X3 indirekt, Serielles Interface  
Steckerleiste, 10-polig

Steckverbinderbelegungen: siehe Pkt. 9. - Installation

**1.7.4. Umgebungsbedingungen**

Lagertemperatur:	- 40 °C bis +65 °C
Relative Luftfeuchte bei Lagerung:	10 % bis 90 % (unkondensiert)
Zulässige Arbeitstemperatur:	+ 5 °C bis + 40 °C bei 150 lfm Luftstrom max. 50 °C bei 250 lfm Luftstrom
Relative Luftfeuchte bei Betrieb:	10 % bis 90 % (unkondensiert)

**Hinweis:**

=====

Die max. zulässige Temperatur reduziert sich um 1 Grad je 1000 m Höhenzunahme.

**1.7.5. Schutzmaßnahmen**

Der Modul ZVE KAC 20 wird mit Kleinspannung betrieben und erzeugt intern keinerlei gefährliche Spannungen. Notwendige Schutzmaßnahmen hängen vom sicherheitstechnischen Konzept des Finalerzeugnisses sowie von den für die entsprechende Erzeugnisgruppe geltenden Sicherheitsstandards ab.

## 2. Struktur der ZVE KAC 20

### 2.1. Allgemeine Bemerkungen

Punkt 2. gibt einen allgemeinen Überblick über die strukturelle Organisation der ZVE KAC 20 und eine Kurzbeschreibung der Hauptbestandteile auf der Basis der ZVE-Blockschaltbilder (Bild 2-1 ... 2-3).

Es soll ein Überblick über die technischen Mittel, auf deren Basis die RVS-Architektur (siehe Punkt 3.) des Rechners K 1820 realisiert ist, vermittelt werden.

### 2.2. Struktur des Moduls ZVE KAC 20

Bild 2-1 zeigt die strukturelle Organisation der ZVE KAC 20. Die Hauptbestandteile der ZVE sind:

- eine Verarbeitungseinheit; im wesentlichen bestehend aus zwei speziellen VLSI-Mikroprozessorschaltkreisen
  - . 32-bit-Mikroprozessor (CPU) U 80701
  - . 32-bit-Gleitkommaprozessor (FPU) U 80703
- eine CPU-Interfacesteuerung auf der Basis eines ZVE-spezifischen LSI-Gate-Array-Schaltkreises
  - . CPU-Interface- Gate-Array (CIGA) U 80709
- eine KBUS-Interfacesteuerung auf der Basis eines ZVE-spezifischen LSI-Gate-Array-Schaltkreises
  - . Bus-Interface-Gate-Array (BIGA) U 80711
- ein lokales Speichersubsystem mit maximal 16 Mbyte Speicherkapazität, davon 1 Mbyte direkt auf ZVE-Modul realisiert
- eine KBUS-Mapeinrichtung, als Bestandteil des Speichersubsystems, für die Zuordnung von Adressen des KBUS-Adreßraumes zu lokalen Speicheradressen
- ein lokales E/A-Subsystem
- ein Konsolesubsystem, das die Steuerung des Rechnersystems bei jedem Halt-Zustand übernimmt, die Bedienung ermöglicht und eine Selbstdiagnose realisiert
- eine Taktversorgung auf der Basis von drei Oszillator-Schaltkreisen zur Bereitstellung der systembestimmenden Takte
- ein zentrales Steuerwerk auf der Basis von programmierbaren Logiksequenzern (PLS) und programmierbaren Logik-Arrays (PLA)

#### 2.2.1. Funktionseinheiten der ZVE KAC 20

Punkt 2.2.1. gibt eine Kurzbeschreibung der Funktionseinheiten der ZVE KAC 20 auf der Basis der Blockschaltbilder 2-2; Datenwege und 2-3; Zentrales Steuerwerk.

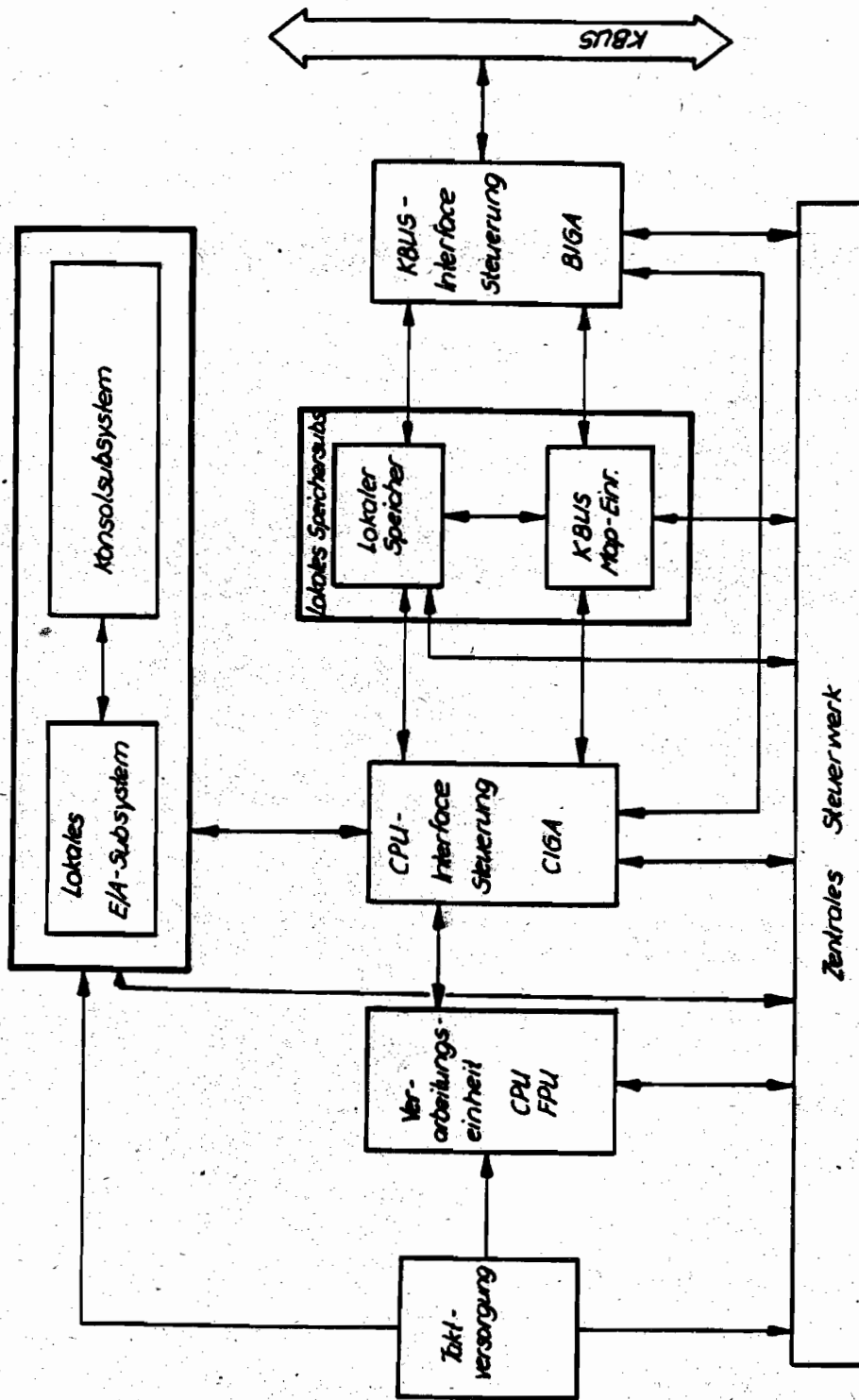


Bild 2-1: Strukturorganisation der ZVE KAC 20

2.2.1.1. Verarbeitungseinheit

Die Verarbeitungseinheit der ZVE KAC 20 besteht im wesentlichen aus zwei speziellen VLSI-Mikroprozessorschaltkreisen:

- . 32-bit-Mikroprozessor (CPU) U 80701
- . 32-bit-Gleitkommaprozessor (FPU) U 80703

Mikroprozessor und Gleitkommaprozessor sind über den 32 bit breiten CPU-Adreß/Daten-Bus DAL<31:00> sowie über weitere Steuersignale direkt miteinander und mit dem CPU-Interface-Gate-Array (CIGA) verbunden.

Der 32-bit-Mikroprozessor-Schaltkreis (CPU) U 80701 ist ein NMOS-VLSI-Schaltkreis (NSGT IV) in einem QFP-Gehäuse mit 68 Anschlüssen und realisiert weitgehend die 32-bit-RVS-Architektur:

- Teilmenge der RVS-Datentypen
- Teilmenge des RVS-Befehlssatzes
- volle RVS-Speicherverwaltung (Umwandlung der virtuellen in physische Adressen; Speicherschutz)
- volle Menge der RVS-Arbeitsregister (Allgemeine Register)
- Teilmenge der internen Prozessorregister gemäß RVS-Architektur

Der 32-bit-Gleitkommaprozessor-Schaltkreis (FPU) U 80703 ist ebenfalls ein NMOS-VLSI-Schaltkreis (NSGT IV) in einem QFP-Gehäuse mit 68 Anschlüssen und beschleunigt die Lösung arithmetischer Aufgaben in enger Zusammenarbeit mit der CPU.

Er unterstützt:

- F-, D- und G-Datentypen
- Teilmenge des RVS-Gleitkommaprozedur-Befehlssatzes

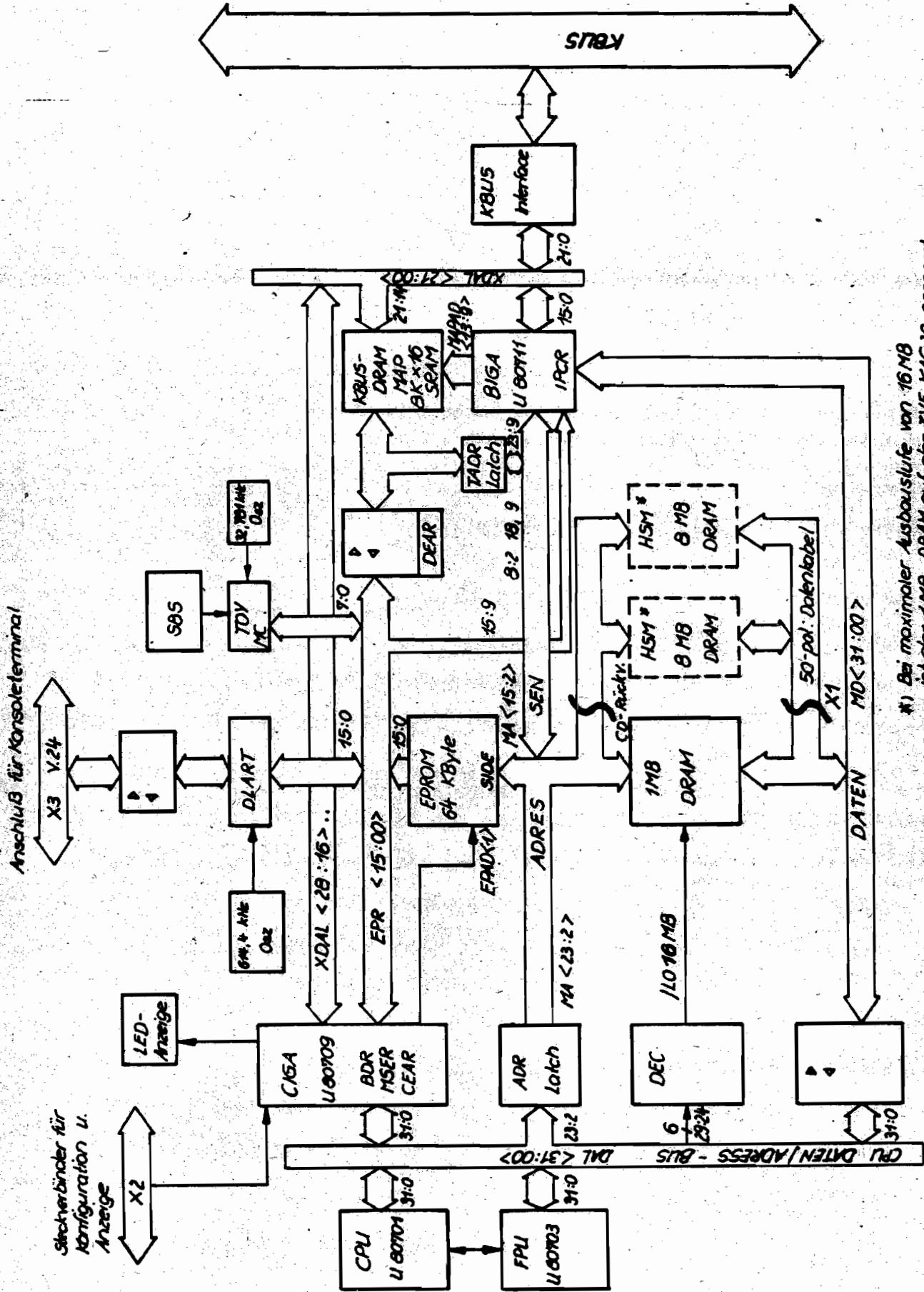
CPU und FPU arbeiten mit einer Taktfrequenz von 40 MHz, die von dem Systemtaktgenerator geliefert wird. Die CPU erzeugt aus diesem Eingangstakt CLKI den Ausgangstakt CLK0 mit der halben Frequenz, der von der Steuerlogik verwendet wird.

2.2.1.2. CPU-Interfacesteuereinheit

Die CPU-Interfacesteuereinheit wird durch den CMOS-Gate-Array-Schaltkreis U 80709 (CIGA) realisiert. Dieser Schaltkreis ist speziell an das CPU-Interface angepaßt und realisiert vor allem den CPU-Verkehr mit den ZVE-Ressourcen. Er enthält selbst das Boot- und Diagnoseregister (BDR), das Fehlerregister des Speichersubsystems (MSER) und das CPU-Paritätsfehler-Adreßregister (CEAR). Die CPU-Interfacesteuereinheit liefert wesentliche Signale an das zentrale Steuerwerk.

2.2.1.3. KBUS-Interfacesteuereinheit

Die KBUS-Interfacesteuereinheit ist auf Basis des CMOS-Gate-Array-Schaltkreises U 80711 (BIGA) realisiert. Dieser Schaltkreis ist speziell an das KBUS-Interface angepaßt und realisiert vor allem den Verkehr der CPU mit dem KBUS und den Verkehr zwischen KBUS-DMA-Geräten und dem lokalen DRAM. Er enthält das Interprozessor-Kommunikationsregister (IPCR). Der Anschluß an den asynchronen Bus erfolgt über Treiber/Empfänger auf TTL-Basis, wobei die Daten-, Adreß- und Steuersignalsignalbereitstellung über den Schaltkreis BIGA erfolgt. Der KBUS erlaubt die Zusammenarbeit der ZVE mit Gerätekontrollern, Speichern und Hilfs-ZVE's.



\*1) Bei maximaler Ausbaulänge von 16 MB ist der 1 MB DRAM auf der ZVE KAC 20 gesperrt.

Bild 2-2: Blockschaltbild der ZVE KAC 20; Datenwege



2.2.1.4. Lokales Speichersubsystem

Das lokale Speichersubsystem besteht aus einem DRAM-Speicher mit einer maximalen Kapazität von 16 Mbyte. 1 Mbyte davon ist direkt auf dem ZVE-Modul realisiert. Der Speicher ist auf Basis des CMOS-Speicherschaltkreises U 61256 CC 15 (256 K x 1 bit) realisiert und ist ein Dual-Port-Speicher. Seine Zugriffsbreite beträgt 32 bit. Er arbeitet mit Paritätsbitgenerierung und -überprüfung für jedes Byte des gesamten lokalen Speichers. Entsprechend den Adressierungsmöglichkeiten der CPU kann der lokale DRAM auf dem ZVE-Modul bis zur maximal zulässigen Gesamtkapazität von 16 Mbyte durch Anschluß von maximal zwei Speichererweiterungsmoduln MSC 20 mit je 8 Mbyte Speicherkapazität erweitert werden. Der Anschluß der Speichererweiterungsmodule erfolgt über die CD-Rückverdrahtung sowie über den 50-poligen Steckverbinder X1.

Die Steuerlogik des Speichersubsystems (F-TTL-Logik) steuert sowohl die Zugriffe zum ZVE-internen 1 Mbyte DRAM als auch zu den zwei Speichererweiterungsmoduln. Eine spezielle Dekodierschaltung erlaubt die automatische Erkennung der konkreten Speicherkonfiguration.

**H i n w e i s !**

=====

Bei Anschluß von zwei Speichererweiterungsmoduln MSC 20 ist der 1 Mbyte DRAM auf dem ZVE-Modul gesperrt.

2.2.1.5. KBUS-Mapeinrichtung

Die KBUS-Mapeinrichtung ist Bestandteil des lokalen Speichersubsystems. Sie ermöglicht den Datenverkehr zwischen DMA-Kontrollern am KBUS und dem lokalen DRAM (auf dem ZVE-Modul oder den Speichererweiterungsmoduln). Die KBUS-Mapeinrichtung realisiert die Umwandlung der virtuellen KBUS-Adressen in die physischen DRAM-Adressen auf der Basis eines Adreßübersetzungsspeichers (SRAM) mit einer Speicherkapazität von 8 K x 16 bit (Mapping-Register). Die Adreßzuordnung ist pageweise festlegbar. Über ein spezielles Steuerbit (V-Bit) in jedem Mapping-Register ist der Zugriff zum lokalen DRAM seitenweise sperrbar. Über das Steuerbit LMEAE im Register IPCR ist der Zugriff generell erlaubt oder verboten. Für die 8 K Pages des KBUS-Speicheradreßraumes enthält der Adreßübersetzungsspeicher je ein durch die CPU programmierbares Mapping-Register.

**H i n w e i s !**

=====

Die CPU kann zu ihrem Speichersubsystem auch über die KBUS-Mapeinrichtung zugreifen! Dazu ist der Besitz der KBUS-Masterschaft notwendig.

2.2.1.6. Lokales E/A-Subsystem

Das lokale E/A-Subsystem beinhaltet die Hardwareeinrichtungen der ZVE, die am lokalen E/A-Bus (EPR-Bus) angeschlossen sind. Einige Funktionseinheiten (z.B. EPROM, seriell Interface) werden aber aus funktioneller Sicht zum Konsolesubsystem gezählt. Als echte lokale E/A-Einheit existiert die Jahresuhr (TOY) auf der Basis des CMOS-Uhrensaltkreises MC 146816, der aber auch den batteriegestützten SRAM (50 x 8 bit) des Konsolesubsystems enthält.

2.2.1.7. Konsolesubsystem

Das Konsolesubsystem umfaßt die ZVE-Hardware und -Firmware, die das Verhalten des ZVE-Moduls aus Architektursicht steuern. Das Konsolesubsystem übernimmt prinzipiell die Steuerung der ZVE bei der Initialisierung sowie bei jedem Halt-Zustand der ZVE.

Zur Hardware des Konsolesubsystems gehören als wesentliche Bestandteile der lokale PROM-Speicher sowie das serielle Interface für den Anschluß des Konsoleterminals. Der PROM-Speicher besteht aus zwei EPROM-Schaltkreisen und hat eine Kapazität von 64 Kbyte. Er enthält die Firmware der ZVE KAC 20, die im wesentlichen aus dem Konsoleprogramm besteht.

Der serielle Anschluß für das Konsoleterminal ist auf Basis des Schaltkreises U80707 (DLART) realisiert. Der Verkehr erfolgt über zwei Daten- und zwei Statusregister, die im Sinne der RVS-Architektur zu den internen Prozessorregistern gehören, aber CPU-extern im DLART-Schaltkreis realisiert sind. Die Baud-Rate ist extern über Schalter einstellbar. Eine LED-Anzeige, die über das Register BDR für die CPU zugänglich ist sowie wenige Schalter außerhalb der ZVE sind weitere Bestandteile des Konsolesubsystems. Das Konsolesubsystem realisiert die automatische Initialisierung der ZVE sowie eine Anfangsdiagnose bei Spannungszuschaltung und Restart. Es bietet eine Teilmenge der RVS-Konsolkommendosprache.

2.2.1.8. Taktversorgung

Die Taktversorgung der ZVE KAC 20 erfolgt über drei Oszillator-Schaltkreise, die den Systemtakt von 40 MHz für den Mikroprozessor U 80701 und den Gleitkommaprozessor U 80703, den Uhrentakt von 32,768 kHz für die Jahresuhr (TOY) und den Interfacetakt sowie den Intervallzeitgeber-Takt von 614,4 kHz erzeugen. Aus dem 40 MHz Systemtakt bildet der Mikroprozessor einen Ausgangstakt mit einer Frequenz von 20 MHz. Ein Mikrozyklus-Zähler im zentralen Steuerwerk erzeugt aus diesem Takt ein 4-Phasen-Taktsystem, das zur Synchronisation sämtlicher Steuerabläufe in der ZVE verwendet wird.

2.2.1.9. Zentrales Steuerwerk

Das zentrale Steuerwerk der ZVE KAC 20 ist auf Basis von programmierbaren Logiksequenzern (PLS) vom Typ 82S167A bzw. 82S105A sowie programmierbaren Logik-Arrays vom Typ 16L8A realisiert.

Bild 2-3 zeigt das Blockschaltbild des zentralen Steuerwerkes. Das Steuerwerk läßt sich in zwei Hauptkomplexe unterteilen:

- Lokale Steuerung
- KBUS-Steuerung

Zur lokalen Steuerung gehören:

- . Steuereinrichtungen, die Bestandteil der CPU-Interfacesteuereinheit sind und sich im Schaltkreis U 80709 (C16A) befinden.
- . die Speichersteuerung, bestehend aus:
  - \* Speichersequenzer (MSQ)
  - \* Speicherarbiter (MARB)
 Die Speichersteuerung koordiniert die Zugriffe zum lokalen DRAM, realisiert die Zugriffspriorität und arbeitet eng mit der KBUS-Steuerung zusammen.
- . Lokale E/A-Steuerung (ADC)
  - Die lokale E/A-Steuerung übernimmt die Steuerung der Datenwege zum lokalen E/A-Bus.

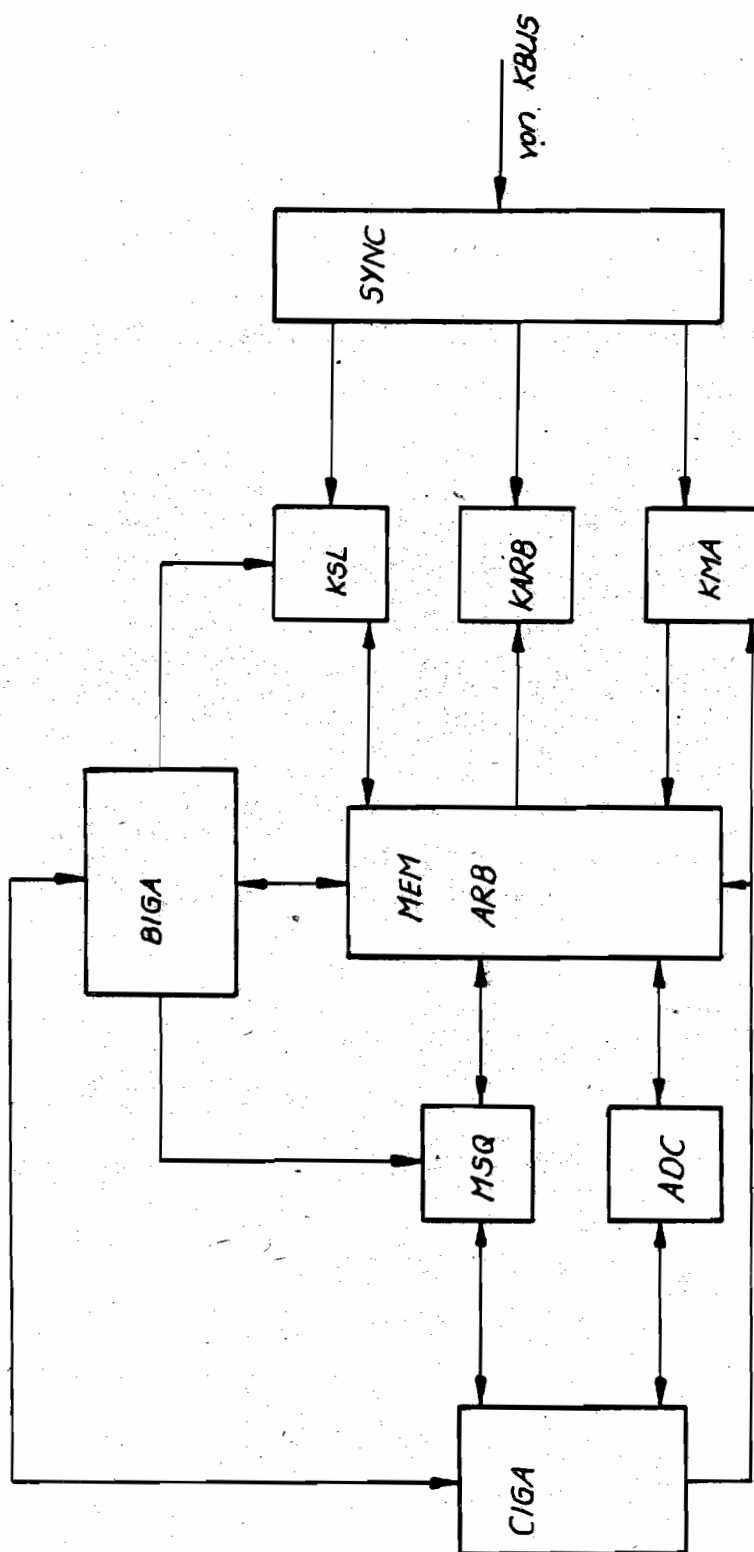


Bild 2-3: Blockschaltbild der ZVE KAC 20; Zentrales Steuerwerk

Zur KBUS-Steuerung gehören:

- . Steuereinrichtungen, die Bestandteil der KBUS-Interfacesteuereinheit sind und sich im Schaltkreis U 80711 (BIGA) befinden.
- . Synchronisationseinheit (SYNC), die die asynchronen KBUS-Signale für die Weiterverwendung in dem getakteten Steuerwerk synchronisiert.
- . KBUS-Arbiter (KARB), der die KBUS-Arbitrage nach dem DMA-Protokoll realisiert
- . KBUS-Master (KMA), der im wesentlichen die KBUS-Abläufe steuert, bei denen die ZVE KAC 20 der KBUS-Master ist
- . KBUS-Slave (KSL), der im wesentlichen die KBUS-Abläufe steuert, bei denen die ZVE KAC 20 KBUS-Slave ist

Die detaillierte Beschreibung des zentralen Steuerwerkes ist nicht Bestandteil des vorliegenden Technischen Handbuches der ZVE KAC 20. Die Beschreibung erfolgt im Rahmen der Fehlerortungsunterlagen zur ZVE. Punkt 4. gibt einen Überblick über die wesentlichen Datenübertragungsvorgänge, wie sie für das funktionelle Verständnis der ZVE aus Nutzersicht ausreichend sind.